



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

: Atty. Docket: 02-AG-149

Rino MICHELONI et al.

: Group Art Unit: 2818

Serial No. 10/706,306

: Confirmation No. 5765

Filed: November 12, 2003

:

For: CIRCUIT FOR PROGRAMMING A NON-VOLATILE MEMORY  
DEVICE WITH ADAPTIVE PROGRAM LOAD CONTROL

CLAIM FOR PRIORITY UNDER 35 USC §119

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

SIR:

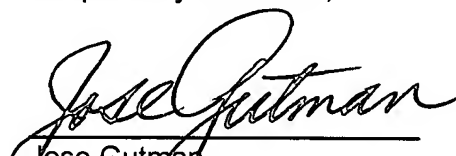
Under the provisions of 35 USC §119, there is filed herewith a certified copy of Italian Application No. MI2002A002387 filed on November 12, 2002, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748, under which Applicants hereby claim priority.

Respectfully submitted,

Date:

4/8/04

By:

  
Jose Gutman  
Reg. No. 35,171

Customer No. 23334  
Fleit, Kain, Gibbons, Gutman, Bongini & Bianco P.L.  
551 NW 77th Street  
Suite 111  
Boca Raton, Florida 33487  
Telephone: (561) 989-9811  
Facsimile: (561) 989-9812



*Ministero delle Attività Produttive*  
*Direzione Generale per lo Sviluppo Produttivo e la Competitività*  
*Ufficio Italiano Brevetti e Marchi*  
*Ufficio G2*

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. **MI2002 A 002387**



*Si dichiara che l'unita copia è conforme ai documenti originali  
depositati con la domanda di brevetto sopraspecificata, i cui dati  
risultano dall'accluso processo verbale di deposito.*

**23 DIC. 2003**

Roma, li .....

IL DIRIGENTE  
*Paola Giuliano*

**Dr.ssa Paola Giuliano**

## AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE. DEPOSITO RISERVE. ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO A



## A. RICHIEDENTE (I)

1) Denominazione SIMicroelectronics S.r.l. N.G. SR  
Residenza AGRATE BRIANZA (MI) codice 00.95.19.00.96.8  
2) Denominazione \_\_\_\_\_  
Residenza \_\_\_\_\_ codice \_\_\_\_\_

## B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome PEZZOLI ENNIO ED ALTRI cod. fiscale \_\_\_\_\_  
denominazione studio di appartenenza MACCALLI & PEZZOLI S.r.l.  
via Settembrini n. 40 città MILANO cap 20124 (prov) MI

## C. DOMICILIO ELETTIVO destinatario

via \_\_\_\_\_ n. \_\_\_\_\_ città \_\_\_\_\_ cap \_\_\_\_\_ (prov) \_\_\_\_\_

## D. TITOLO

classe proposta (sez/cl/scl) \_\_\_\_\_ gruppo/sottogruppo \_\_\_\_\_/\_\_\_\_\_/\_\_\_\_\_

"Circuito per programmare un dispositivo di memoria non-volatile con controllo adattivo dei  
program load"

## ANTICIPATA ACCESSIBILITÀ AL PUBBLICO:

SI ☐ NO ☒

SE ISTANZA: DATA \_\_\_\_\_

N° PROTOCOLLO \_\_\_\_\_

## E. INVENTORI DESIGNATI

cognome nome

cognome nome

1) MICHELONI Rino 3) \_\_\_\_\_  
2) RAVASIO Roberto 4) \_\_\_\_\_

## F. PRIORITÀ

nazione o organizzazione

tipo di priorità

numero di domanda

data di deposito

allegato  
S/R

1) \_\_\_\_\_  
2) \_\_\_\_\_

## SCIoglimento RISERVE

Data

N° Protocollo

## G. CENTRO ABILITATO DI RACCOLTA COLTURE DI MICROORGANISMI, denominazione

## H. ANNOTAZIONI SPECIALI

## DOCUMENTAZIONE ALLEGATA

N. es.

Doc. 1) 2 PROV n. pag. 139 riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) .....  
Doc. 2) 12 PROV n. tav. 104 disegno (obbligatorio se citato in descrizione, 1 esemplare) .....  
Doc. 3) 1 RIS lettera d'incarico, procura o riferimento procura generale dich. sostitutiva .....  
Doc. 4) 1 RIS designazione inventore .....  
Doc. 5) 1 RIS documenti di priorità con traduzione in italiano .....  
Doc. 6) 1 RIS autorizzazione o atto di cessione .....  
Doc. 7) 1 nominativo completo del richiedente

8) attestati di versamento, totale Euro

DUECENTONOVANTUNO/80

obbligatorio

COMPILATO IL 12/11/2002

FIRMA DEL(I) RICHIEDENTE(I)

ENNIO PEZZOLICONTINUA SI/NO NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO

SICAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO

MILANO

VERBALE DI DEPOSITO

NUMERO DI DOMANDA

MI2002A 002387

Reg. A.

L'anno

DUEMILADUE

DODICI

NOVEMBRE

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda, corredata di n. \_\_\_\_\_

\_\_\_\_\_ fogli aggiuntivi per la concessione del brevetto sopraportato.

## I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

IL DEPOSITANTE

M. COITONESE



## RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA MI2002A 002387

REG. A

DATA DI DEPOSITO 12/11/2002NUMERO BREVETTO                     DATA DI RILASCIO   /  /  

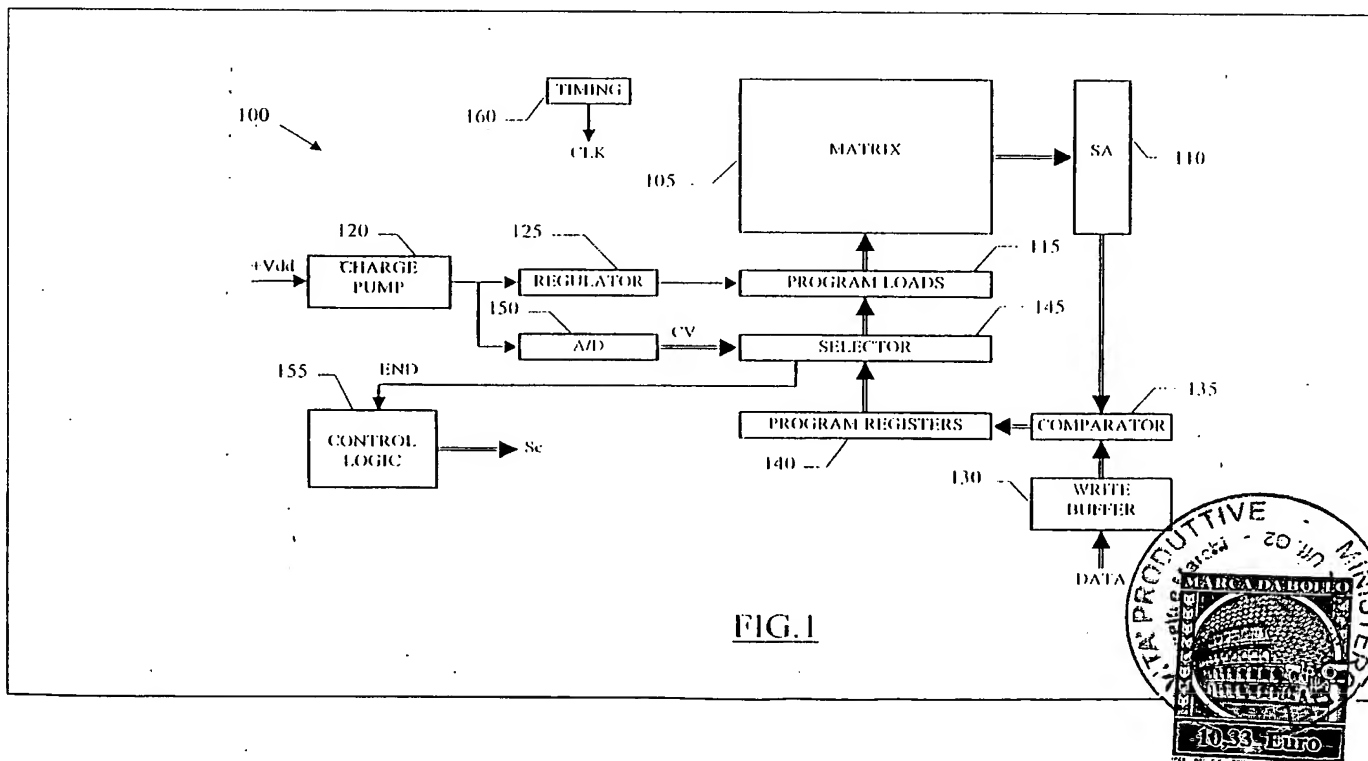
## D. TITOLO

"Circuito per programmare un dispositivo di memoria non-volatile con controllo adattivo dei  
program load"

## L. RIASSUNTO

Un circuito (115,145,150) per programmare un dispositivo di memoria non-volatile (100) avente una pluralità di celle di memoria (105) è proposto. Il circuito comprende una pluralità di elementi di pilotaggio (115) ciascuno per applicare un impulso di programmazione ad una cella di memoria selezionata da programmare, gli elementi di pilotaggio essendo adatti ad essere alimentati da un'unità di alimentazione (120,125), e mezzi di controllo (145,150) per controllare gli elementi di pilotaggio; i mezzi di controllo includono mezzi (150,205) per determinare una capacità residua dell'unità di alimentazione, e mezzi di selezione (145) per abilitare selettivamente gli elementi di pilotaggio in accordo con la capacità residua.

## M. DISEGNO



DESCRIZIONE

dell'invenzione industriale dal titolo:

"CIRCUITO PER PROGRAMMARE UN DISPOSITIVO DI MEMORIA NON-VOLATILE CON CONTROLLO ADATTIVO DEI PROGRAM LOAD"

5 A nome: STMicroelectronics S.r.l.

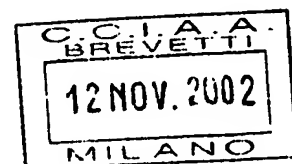
\* \* \* \* \*

MI 2002 A 0 0 2 3 8 7.

La presente invenzione riguarda un circuito per programmare un dispositivo di memoria non-volatile.

Dispositivi di memoria non-volatile sono comunemente  
10 usati per memorizzare informazioni che devono essere preservate anche in assenza di una sorgente di potenza che alimenta il dispositivo di memoria. Un tipo particolare di dispositivo di memoria non-volatile (come una E<sup>2</sup>PROM flash) è programmabile elettricamente. Una  
15 memoria flash è tipicamente formata da una matrice di celle, ciascuna delle quali consiste di un transistor MOS a gate flottante; il transistor è programmato iniettando una carica elettrica nella sua gate flottante; al contrario, il transistor è cancellato scaricando la  
20 sua gate flottante. La carica elettrica nella gate flottante del transistor modifica la sua tensione di soglia, in modo da definire diversi valori logici.

La scrittura di un blocco di dati su celle di memoria selezionate è ottenuta attraverso una serie di



passi di programmazione, ciascuno seguito da una verifica dei valori effettivamente memorizzati nelle celle di memoria. Durante il passo di programmazione, un impulso di tensione è applicato a ciascuna cella di memoria che  
5 necessita di essere programmata (per provocare l'iniezione di carica elettrica nella sua gate flottante); l'impulso di programmazione è comunemente applicato attraverso un elemento di pilotaggio (indicato come program load), il quale è alimentato da una pompa di  
10 carica.

Ciascuna cella di memoria assorbe una quantità significativa di corrente durante il passo di programmazione; pertanto, il numero di celle di memoria che possono essere programmate allo stesso tempo è  
15 limitato dalla capacità della pompa di carica.

Una soluzione nota nell'arte per migliorare la velocità dell'operazione di scrittura è di prevedere banchi multipli di program load. Questa struttura permette di eseguire più passi di programmazione in  
20 successione senza alcuna verifica intermedia. Pertanto, il corrispondente tempo richiesto per commutare la memoria flash (tra una modalità operativa di programmazione ed una modalità operativa di lettura) è risparmiato.

Comunque, il problema della limitazione imposta dalla capacità della pompa di carica resta irrisolto. In altre parole, nelle memorie flash note nell'arte non è possibile migliorare la velocità del passo di  
5 programmazione senza aumentare la capacità della pompa di carica oppure ridurre la corrente assorbita dalle celle di memoria.

Scopo della presente invenzione è di ovviare ai suddetti inconvenienti. Per raggiungere tale scopo è  
10 proposto un circuito come indicato nella prima rivendicazione.

In breve, la presente invenzione prevede un circuito per programmare un dispositivo di memoria non-volatile avente una pluralità di celle di memoria, il circuito  
15 comprendendo una pluralità di elementi di pilotaggio ciascuno per applicare un impulso di programmazione ad una cella di memoria selezionata da programmare, gli elementi di pilotaggio essendo adatti ad essere alimentati da un'unità di alimentazione, e mezzi di  
20 controllo per controllare gli elementi di pilotaggio, in cui i mezzi di controllo includono mezzi per determinare una capacità residua dell'unità di alimentazione, e mezzi di selezione per abilitare selettivamente gli elementi di pilotaggio in accordo con la capacità residua.

**Ing. Ennio PEZZOLI****N. Iscriz. 528****(in proprio e per gli altri)**

Inoltre, la presente invenzione prevede un dispositivo di memoria non-volatile che comprende tale circuito; un corrispondente metodo di programmazione di un dispositivo di memoria non-volatile è anche incluso.

5        Ulteriori caratteristiche ed i vantaggi della soluzione secondo la presente invenzione risulteranno dalla descrizione di seguito riportata di una sua forma di realizzazione preferita, data a titolo indicativo e non limitativo, con riferimento alle figure allegate, in  
10        cui:

Figura 1 è uno schema a blocchi di principio di una sezione di scrittura di un dispositivo di memoria non-volatile in cui il circuito dell'invenzione può essere usato;

15        Figura 2 mostra una prima forma di realizzazione del circuito;

Figura 3a mostra una diversa forma di realizzazione del circuito; e

Figura 3b è una rappresentazione di un blocco logico  
20        incluso nel circuito di Figura 3a.

Con riferimento in particolare alla Figura 1, è illustrata una sezione di scrittura di una E<sup>2</sup>PROM flash multilivello 100. La flash 100 include una matrice 105 di celle di memoria (ad esempio, con un'architettura  
25        cosiddetta NOR). La matrice 105 ulteriormente include un



5 decodificatore di colonna ed un decodificatore di riga, i quali sono usati per selezionare le celle di memoria (come 64) di una pagina consistente di 8 parole che sono processate simultaneamente dalla flash 100 (in risposta ad un corrispondente indirizzo).

Ciascuna cella di memoria consiste di un transistor MOS a gate flottante. La cella di memoria in una condizione non-programmata (o cancellata) presenta una tensione di soglia bassa. La cella di memoria è programmata iniettando carica elettrica nella sua gate flottante; la cella di memoria può essere programmata a livelli multipli, ciascuno associato con un corrispondente intervallo della sua tensione di soglia. Ciascun livello rappresenta un diverso valore logico; ad esempio, la flash 100 supporta 4 livelli per cui ciascuna cella di memoria memorizza un valore che consiste di 2 bit di informazione (11, 10 01 e 00 per tensioni di soglia crescenti).

Un banco di amplificatori di rilevamento, o sense amplifier, 110 (64 nell'esempio in questione) è usato per leggere i valori memorizzati nelle celle di memoria di una pagina selezionata. Un banco di program load 115 è invece usato per programmare le celle di memoria di pagine selezionate multiple; ad esempio, la flash 100 include 256 program load (per programmare le celle di

**Ing. Ennio PEZZOLI****N. Iscriz. 528****(in proprio e per gli altri)**

memoria di 4 pagine). Ciascun program load 115 pilota una cella di memoria; il program load 115 applica un impulso di programmazione che fornisce energia sufficiente ad alcuni elettroni (elettroni caldi) che scorrono  
5 attraverso un canale del transistor per provocare la loro iniezione nella gate flottante. Di conseguenza, la tensione di soglia della cella di memoria è aumentata.

Una pompa di carica 120 riceve una tensione di alimentazione esterna +Vdd (ad esempio, 3V rispetto ad  
10 una tensione di riferimento, o massa); la pompa di carica 120 genera una tensione di alimentazione interna di valore superiore (ad esempio, sino a 8,5V). La tensione di alimentazione interna è fornita ad un regolatore 125, il quale mantiene la tensione di alimentazione interna  
15 sostanzialmente costante la variare delle condizioni di carico. Il regolatore 125 alimenta direttamente i program load 115.

Un buffer 130 staticizza un blocco di dati (256 x 2 bit nell'esempio in questione) che devono essere scritti  
20 nelle celle di memoria selezionate della matrice (in precedenza cancellate). Un modulo 135 confronta i valori memorizzati nelle celle di memoria selezionate (letti dai sense amplifier 110 in successione) con il blocco di dati (staticizzati nel buffer 130). Per ogni cella di memoria  
25 selezionata, il comparatore 135 controlla un flag PF<sub>i</sub>

(con  $i=0 \dots 255$ ), il quale è asserito quando la cella di memoria richiede un impulso di programmazione per avvicinarsi al valore da scrivere (cioè, quando il valore memorizzato nella cella di memoria è superiore a quello desiderato); i flag di programmazione sono memorizzati in  
5 un banco di registri 140.

Un modulo 145 accede i registri 140. Il modulo 145 si interfaccia anche con un convertitore analogico-digitale (A/D) 150; il convertitore A/D 150 fornisce un  
10 segnale CV indicativo della tensione correntemente generata dalla pompa di carica 120. Il modulo 145 opera come un selettore per abilitare i program load 115; il selettore 145 genera anche un segnale END, il quale è asserito appena un passo di programmazione sulle celle di  
15 memoria selezionate è stato completato.

Il segnale END è fornito ad una logica di controllo 155. La logica di controllo 155 gestisce il funzionamento della flash 100 per mezzo di una sequenza di segnali di controllo (indicati nel complesso con Sc). Un'unità di  
20 temporizzazione 160 fornisce un segnale di orologio (clock) CLK, il quale è usato per sincronizzare tutti i circuiti della flash 100.

Un'operazione di scrittura consiste di una sequenza di passi di programmazione e passi di verifica. In  
25 particolare, il blocco di dati da scrivere nelle celle di

**Ing. Ennio PEZZOLI****N. Iscriz. 528****(in proprio e per gli altri)**

memoria selezionate è confrontato con i valori che sono correntemente memorizzati, ed i flag di programmazione sono impostati di conseguenza. Come descritto in dettaglio nel seguito, un impulso di programmazione è quindi applicato ai terminali di drain delle celle di memoria da programmare (mentre i loro terminali di gate sono mantenuti ad una tensione predeterminata); la tensione drain/gate ha un valore tale da incrementare la tensione di soglia delle celle di memoria di una piccola quantità (ad esempio, 300mV). Appena il passo di programmazione è stato completato (segnale END asserito), il nuovo contenuto delle celle di memoria selezionate è confrontato un'altra volta con il blocco di dati da scrivere. I passi descritti sopra sono ripetuti modificando la tensione ai terminali di gate delle celle di memoria (in modo da approssimare una forma d'onda trapezoidale che fornisce un campo elettrico costante ad un loro strato di ossido). L'operazione di scrittura è completata quando tutte le celle di memoria selezionate raggiungono i valori desiderati (o l'operazione di scrittura è abortita dopo un numero predeterminato di passi di programmazione); tipicamente, una serie di 8 impulsi di programmazione è richiesta per ridurre il valore memorizzato in ciascuna cella di memoria ad un'unità (da 11 a 10, da 10 a 01 o da 01 a 00).



**Ing. Ennio PEZZOLI****N. iscriz. 528****(in proprio e per gli altri)**

Il numero di program load 115 che può essere abilitato allo stesso tempo è limitato dalla capacità della pompa di carica 120 (a causa della corrente assorbita dalle celle di memoria che sono programmate).

5 Ad esempio, una pompa di carica che fornisce una corrente massima di 5mA non può programmare più di circa 64 celle di memoria.

Gli inventori hanno scoperto che le strutture note nell'arte non sfruttano la capacità della pompa di carica  
10 120 al meglio.

Innanzitutto, la corrente assorbita da ciascuna cella di memoria (cui l'impulso di programmazione è applicato) non è costante. Infatti, la corrente diminuisce durante il passo di programmazione mentre la  
15 carica elettrica è iniettata nella gate flottante del transistor (e quindi la sua tensione di soglia è incrementata).

Inoltre, la pompa di carica 120 è dimensionata in modo da assicurare il corretto funzionamento della flash  
20 100 nella peggiore condizione operativa; ad esempio, la pompa di carica 120 può fornire la massima corrente richiesta (5mA) anche quando la tensione di alimentazione +Vdd è bassa (sino a 2,7V) e quando la temperatura ambientale è alta (sino a 90°C). Pertanto, in una  
25 condizione operativa standard (tensione di alimentazione

+Vdd uguale a 3V e temperatura ambientale uguale a 27°C)  
la pompa di carica 120 può fornire una corrente superiore  
(ad esempio, sino a 7mA).

Infine, l'impulso di programmazione è applicato  
5 solamente ad una porzione delle celle di memoria  
selezionate. Infatti, all'inizio dell'operazione di  
scrittura ciascuna cella di memoria memorizza il valore  
11 (essendo stata cancellata). Se lo stesso valore 11  
deve essere scritto nella cella di memoria, nessun  
10 impulso di programmazione è richiesto; uno, due o tre  
serie di impulsi di programmazione sono invece richiesti  
per scrivere i valori 10, 01 e 00, rispettivamente.  
Assumendo che i valori da scrivere siano distribuiti  
uniformemente fra i quattro valori possibili 00-11,  
15 risulta che solamente 50% delle celle di memoria devono  
essere programmate in media.

In chiaro contrasto con le soluzioni note nell'arte,  
il circuito descritto nel seguito monitora il carico  
effettivo della pompa di carica 120, così da valutare una  
20 sua capacità residua. Ad ogni segnale di clock, i program  
load 115 sono abilitati selettivamente secondo la  
capacità residua della pompa di carica 120 (in aggiunta  
ad informazioni sulle celle di memoria selezionate da  
programmare). In tale modo, i program load 115 sono  
25 abilitati non appena possibile; in ogni caso, la corrente

**Ing. Ennio PEZZOLI**  
**N. Iseriz. 528**  
(in proprio e per gli altri)

complessiva richiesta alla pompa di carica 120 in ogni istante non eccede mai la sua capacità.

Comunque, i concetti della presente invenzione sono applicabili anche quando la flash ha un'architettura  
5 diversa oppure è sostituita con un altro dispositivo di memoria non-volatile (elettricamente programmabile), come una E<sup>2</sup>PROM, quando ciascuna cella di memoria memorizza un numero diverso di bit (al limite uno solo) o può essere programmata ad un altro numero di livelli (anche diverso  
10 da una potenza di 2), quando le celle di memoria sono programmate con una procedura alternativa, o quando è previsto un numero diverso di sense amplifier e/o di program load. Considerazioni analoghe si applicano se la flash ha banchi multipli di program load (in cui più  
15 passi di programmazione sono eseguiti in successione senza alcuna verifica intermedia), se la pompa di carica ed il regolatore sono sostituiti con mezzi equivalenti, se i registri di programmazione memorizzano altre informazioni, se mezzi diversi sono usati per monitorare  
20 il carico corrente della pompa di carica, e simili. In alternativa, la flash si presta anche ad essere programmata usando un'unità di alimentazione esterna che è accoppiata con i program load attraverso un percorso alternativo; questa procedura è tipicamente usata da un  
25 produttore per scopi di test oppure è disponibile ad un

**Ing. Ennio PEZZOLI****N. Iscriz. 528**

(in proprio e per gli altri)

utente per una programmazione veloce della flash.

In una forma di realizzazione particolare della presente invenzione, come mostrato in Figura 2, i program load 115 sono raggruppati in sottoinsiemi multipli; ad esempio, i program load (individualmente indicati con  $PL_i$ ) sono raggruppati in 32 sottoinsiemi  $ST_j$  (con  $j=0...31$ ), ciascuno di 8 program load (da  $ST_0=L_0-L_7$  a  $ST_{31}=L_{248}-L_{255}$ ). Ciascun sottoinsieme di program load  $ST_j$  è abilitato individualmente il prima possibile.

10 A tale scopo, il segnale CV in uscita dal convertitore A/D 150 è fornito ad un controllore ad anello 205. Il controllore ad anello 205 genera un segnale di abilitazione globale EN che è asserito (ad ogni segnale di clock) quando la capacità residua della  
15 pompa di carica permette di alimentare un ulteriore sottoinsieme di program load  $ST_j$ . Ad esempio, il controllore ad anello 205 confronta il segnale CV con un valore di soglia predeterminato; in una struttura più sofisticata, il controllore ad anello 205 implementa un  
20 algoritmo che valuta la posizione della pompa di carica sulla sua effettiva linea di carico.

Il segnale di abilitazione globale EN è fornito ad un circuito 210 che opera come un contatore da 7 a 31, e ad un demultiplicatore (demultiplexer) 215 che ha  $31-7=24$   
25 terminali di uscita (ciascuno dei quali fornisce



**Ing. Ennio PEZZOLI****N. Iscriz. 528****(in proprio e per gli altri)**

corrispondente segnale di abilitazione locale  $E_7-E_{31}$ ). Il numero iniziale (7) è scelto in modo da assicurare che la pompa di carica possa sempre alimentare i corrispondenti primi sottoinsiemi di program load (da  $ST_0$  a  $ST_7$  nell'esempio in questione), anche nella condizione operativa peggiore. Il numero memorizzato nel contatore 210 controlla il demultiplexer 215, con ciò trasferendo il segnale di abilitazione globale EN al corrispondente terminale di uscita; in questo modo, i segnali di abilitazione locale  $E_7-E_{31}$  sono asseriti in successione ogni volta che il segnale di abilitazione globale EN è asserito. L'ultimo segnale di abilitazione locale  $E_{31}$  definisce anche un segnale di sospensione STOP, il quale è ritornata al controllore ad anello 205.

Il segnale di abilitazione globale EN è anche fornito ad un registro a scorrimento 220, il quale fornisce in uscita un segnale di disabilitazione globale DIS con un ritardo predeterminato. Il ritardo del registro a scorrimento 220 è impostato ad un valore (ad esempio, 15-30 periodi di clock) corrispondente alla durata dell'impulso di programmazione.

Il segnale di disabilitazione globale DIS è fornito ad un contatore 225 (da 7 a 31) e ad un demultiplexer 230 (avente 24 terminali di uscita ciascuno dei quali fornisce un corrispondente segnale di disabilitazione

locale  $D_7-D_{31}$ ). Il numero memorizzato nel contatore 225 controlla il demultiplexer 230, così da trasferire il segnale di disabilitazione globale DIS al corrispondente terminale di uscita. L'ultimo segnale di disabilitazione  
5 locale  $D_{31}$  definisce anche il segnale END (per la logica di controllo della flash).

Il selettore 145 ulteriormente include 32 latch SR 235; ciascun latch (indicato con  $SR_j$ ) è associato con un sottoinsieme di program load  $ST_j$ . I primi 8 latch  $SR_0-SR_7$   
10 sono controllati dallo stesso segnale di abilitazione locale  $E_7$  e dallo stesso segnale di disabilitazione locale  $D_7$ ; in particolare, tutti i latch  $SR_0-SR_7$  ricevono il segnale di abilitazione locale  $E_7$  ed il segnale di disabilitazione locale  $D_7$ , rispettivamente, ai loro  
15 terminali di impostazione, o set, (S) ed ai loro terminali di azzeramento, o reset, (R). I segnali di abilitazione locale  $E_8-E_{31}$  ed i segnali di disabilitazione locale  $D_8-D_{31}$  sono applicati ai terminali di set ed ai terminali di reset, rispettivamente, di ciascuno dei  
20 rimanenti latch  $SR_8-SR_{31}$ .

Per ciascun program load  $PL_i$  di un generico sottoinsieme  $ST_j$ , il valore fornito da un terminale di uscita principale (Q) del latch  $SR_j$  ed il flag di programmazione  $PF_i$  (memorizzato nel registro 140  
25 associato) sono applicati a rispettivi terminali di

Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)

ingresso di un porta AND 240. Il segnale fornito in uscita della porta AND 240 controlla direttamente il program load  $PL_i$ .

All'inizio di un passo di programmazione tutti i  
5 latch  $SR_j$  sono in uno stato resettato, ed entrambi i  
contatori 210 e 225 memorizzano l'ultimo numero 31.  
Appena la logica di controllo abilita il controllore ad  
anello 205, il segnale di abilitazione globale EN è  
asserito (in quanto la pompa di carica ha sempre una  
10 capacità residua sufficiente). Il contatore 210 commuta  
quindi al numero iniziale 7, così da asserire il segnale  
di abilitazione locale  $E_7$ ; in risposta a ciò, i primi 8  
latch  $SR_0$ - $SR_7$  sono settati. Di conseguenza, tutti i  
program load dei sottoinsiemi  $ST_0$ - $ST_7$  associati con le  
15 celle di memoria da programmare (flag di programmazione  
 $PF_i$  asseriti) sono abilitati in modo da applicare un  
impulso di programmazione alle corrispondenti celle di  
memoria.

Al successivo segnale di clock, il convertitore A/D  
20 150 rileva nuovamente la tensione corrente della pompa di  
carica. Se il controllore ad anello 205 determina che la  
capacità residua della pompa di carica permette di  
alimentare un ulteriore sottoinsieme di program load  $ST_j$ ,  
il segnale di abilitazione globale EN è asserito. Il  
25 contatore 210 è incrementato (al numero 8), così da

**Ing. Ennio PEZZOLI**

N. Iscriz. 528

(in proprio e per gli altri)

asserire il segnale di abilitazione locale  $E_8$  e quindi settare il latch  $SR_8$ . Di conseguenza, tutti i program load del sottoinsieme  $ST_8$  associati con celle di memoria da programmare sono abilitati. Al contrario, se il limite  
5 definito dalla capacità della pompa di carica è stato raggiunto il segnale di abilitazione globale EN è deasserito; pertanto, nessun ulteriore sottoinsieme di program load  $ST_j$  è abilitato. Le stesse operazioni descritte sopra sono ripetute continuamente ad ogni  
10 segnale di clock.

Nel frattempo, il segnale di abilitazione globale EN attraversa il registro a scorrimento 220. Il segnale di disabilitazione globale DIS è asserito dopo il corrispondente ritardo dall'asserimento del segnale di  
15 abilitazione locale  $E_7$ . Il contatore 225 commuta quindi al numero iniziale 7, così da asserire il segnale di disabilitazione locale  $D_7$ ; in risposta a ciò, i primi 8 latch  $SR_0$ - $SR_7$  sono resettati. Di conseguenza, tutti i program load dei sottoinsiemi  $ST_0$ - $ST_7$  sono disabilitati.  
20 In questo modo, il carico della pompa di carica è ridotto permettendo l'abilitazione di ulteriori sottoinsiemi di program load  $ST_j$  (se necessario). Analogamente, il segnale di disabilitazione globale DIS è asserito nuovamente dopo lo stesso ritardo dall'asserimento di  
25 ogni successivo segnale di abilitazione locale  $E_j$ .



**Ing. Ennio PEZZOLI**  
N. Iscriz. 528  
(in proprio e per gli altri)

contatore 225 è quindi incrementato in successione, così da asserire il corrispondente segnale di disabilitazione locale  $D_j$  (con ciò resettando il latch  $SR_j$  e disabilitando il sottoinsieme di program load  $ST_j$ ).

5 Appena l'ultimo sottoinsieme di program load  $ST_{31}$  è abilitato (segnale  $E_{31}$  asserito), il segnale STOP è asserito; in risposta a ciò, il controllore ad anello 205 è disabilitato. Dopo il ritardo definito dal registro a scorrimento 220, lo stesso sottoinsieme di program load  
10  $ST_{31}$  è disabilitato (segnale  $D_{31}$  asserito). Di conseguenza, anche il segnale END è asserito (per segnalare il completamento del passo di programmazione alla logica di controllo della flash).

Comunque, i concetti della presente invenzione sono  
15 applicabili anche quando i program load sono raggruppati in un numero diverso di sottoinsiemi, quando la capacità residua della pompa di carica è determinata in un altro modo, o quando mezzi equivalenti sono previsti per controllare i program load. Considerazioni analoghe si  
20 applicano se un numero diverso di sottoinsiemi è abilitato simultaneamente all'inizio del passo di programmazione, se il registro a scorrimento fornisce un ritardo diverso oppure è sostituito con mezzi equivalenti, e simili.

25 Un'ulteriore forma di realizzazione della presente

**Ing. Ennio PEZZOLI**  
N. Iscriz. 528  
(in proprio e per gli altri)

invenzione è illustrata in Figura 3a (gli elementi corrispondenti a quelli mostrati in Figura 2 sono indicati con gli stessi riferimenti e la loro spiegazione è omessa per semplicità di descrizione); in questo caso, 5 il selettore prende in considerazione solamente i program load associati con celle di memoria effettivamente da programmare.

A tale scopo, il selettore 145 include una matrice di blocchi logici 305; ciascun blocco logico (indicato 10 con  $B_i$ ) è associato con un program load  $PL_i$ . Il blocco logico  $B_i$  ha un terminale di ingresso di abilitazione EI, un terminale di ingresso di disabilitazione DI ed un terminale di ingresso del flag di programmazione PI; il blocco logico  $B_i$  ha anche un terminale di uscita di 15 abilitazione EO, un terminale di uscita di disabilitazione DO ed un terminale di uscita di controllo CO.

Ciascuna flag di programmazione  $PF_i$  (memorizzato nel registro 140 associato) è fornito al terminale di 20 ingresso PI del blocco  $B_i$ ; il segnale fornito dal terminale di uscita CO controlla direttamente il program load associato  $PL_i$ . Tutti i blocchi  $B_0-B_7$  del primo sottoinsieme  $ST_0$  ricevono il segnale di abilitazione globale EN ed il segnale di disabilitazione globale DIS 25 ai loro terminali di ingresso EI ed ai loro terminali di

ingresso DI, rispettivamente. Il terminale di ingresso EI ed il terminale di ingresso DI di ciascuno degli altri blocchi  $B_i$  sono connessi al terminale di uscita EO ed al terminale di uscita DO, rispettivamente, del blocco 5 corrispondente del sottoinsieme precedente  $ST_j$  (ad esempio, il blocco  $B_0$  è connesso in cascata al blocco  $B_8$ , il quale è a sua volta connesso al blocco  $B_{16}$ , e così via fino al blocco  $B_{248}$ ); in questo modo, i blocchi  $B_i$  risultano logicamente disposti in 8 canali paralleli. I 10 segnali forniti dai terminali di uscita EO di tutti i blocchi  $B_{248}-B_{255}$  dell'ultimo sottoinsieme  $ST_{31}$  sono applicati a rispettivi terminali di ingresso una porta AND 310; la porta AND 310 fornisce in uscita il segnale STOP, il quale è ritornato al controllore ad anello 205.

15 I segnali forniti dai terminali di uscita DO degli stessi blocchi  $B_{248}-B_{255}$  sono analogamente applicati a rispettivi terminali di ingresso di un'ulteriore porta AND 315; la porta AND 315 fornisce in uscita il segnale END (per la logica di controllo della flash).

20 La struttura di un generico blocco  $B_i$  è illustrata in Figura 3b. Il blocco  $B_i$  consiste di due rami per abilitare e per disabilitare, rispettivamente, il program load associato.

In particolare, il segnale al terminale di ingresso 25 EI ed il segnale al terminale di ingresso PI sono messi

in AND da una porta logica 320e. Una porta OR 325e riceve (a rispettivi terminali di ingresso) il segnale fornito dalla porta AND 320e ed il segnale fornito da un terminale di uscita principale (Q) di un latch D 330e. Il  
5 terminale di uscita della porta OR 325e è connesso ad un terminale di set (D) del latch 330e. Un terminale di abilitazione (L) del latch 330e riceve un segnale di controllo PHa, il quale è generato applicando uno sfasamento predeterminato al segnale di clock CLK. Il  
10 segnale fornito dal terminale di uscita principale del latch 330e è anche applicato al terminale di set di un ulteriore latch D 335e; il terminale di abilitazione del latch 330e riceve un diverso segnale di controllo PHb, il quale è generato applicando un ulteriore sfasamento al  
15 segnale di controllo PHa; i segnali di controllo PHa e PHb sono non-sovrapposti (disoverlapped), così da non essere mai asseriti allo stesso tempo. Il segnale al terminale di uscita principale del latch 335e ed il segnale al terminale di ingresso EI sono messi in AND da  
20 una porta logica 340e; un'ulteriore porta AND 350e riceve lo stesso segnale al terminale di ingresso EI ed un segnale PI, il quale è fornito in uscita da un invertitore (inverter) 345 connesso al terminale di ingresso PI. Il segnale fornito dalla porta AND 340e ed  
25 il segnale fornito dalla porta AND 350e sono applicati



rispettivi terminali di ingresso di una porta OR 355e; il terminale di uscita della porta OR 355e è connesso direttamente al terminale di uscita EO.

Il ramo di disabilitazione del blocco B<sub>i</sub> processa il  
5 segnale al terminale di ingresso DI in modo analogo. Gli elementi del ramo di disabilitazione sono indicati con gli stessi riferimenti degli elementi corrispondenti nel ramo di abilitazione, semplicemente sostituiscono il suffisso "d" al posto del suffisso "e." La struttura del  
10 ramo di disabilitazione è esattamente la stessa di quella del ramo di abilitazione, per cui la sua spiegazione è omessa per semplicità di descrizione.

Il segnale al terminale di uscita principale del latch 330e ed il segnale ad un terminale di uscita  
15 invertito (Q) del latch 330d sono forniti ad una porta AND 360. Il terminale di uscita della porta AND 360 è connesso direttamente al terminale di uscita CO.

In una condizione di riposo, tutti i latch 330e, 335e, 330d e 335d sono resettati (in risposta al  
20 completamento di un passo di programmazione precedente); pertanto, i segnali ai terminali di uscita EO, DO e CO sono deasseriti. Si assuma ora che il segnale al terminale di ingresso EI sia asserito ad un generico segnale di clock.

25 Se la corrispondente cella di memoria deve essere

programmata, il segnale al terminale di ingresso PI è  
asserito ed il segnale invertito PI è deasserito. In  
questo caso, il segnale al terminale di uscita EO rimane  
deasserito (indipendentemente dal segnale al terminale di  
5 ingresso EI). Il segnale al terminale di set del latch  
330e è invece asserito. Dopo un ritardo definito dallo  
sfasamento del segnale di controllo PHa, il latch 330e è  
quindi settato. Ciò comporta l'asserimento del segnale al  
terminale di uscita CO. Dopo un ulteriore ritardo  
10 definito dallo sfasamento del segnale di controllo PHb,  
anche il latch 335e è settato. Da questo momento in poi,  
il segnale al terminale di set del latch 330e è sempre  
asserito (indipendentemente dal segnale al terminale di  
ingresso EI); di conseguenza, il latch 330e resta  
15 settato. Il segnale al terminale di uscita EO è invece  
asserito o deasserito in accordo con il segnale al  
terminale di ingresso EI.

Al contrario, se la corrispondente cella di memoria  
non deve essere programmata il segnale al terminale di  
20 ingresso PI è deasserito ed il segnale invertito PI è  
asserito. I latch 330e e 335e rimangono quindi resettati  
(indipendentemente dal segnale al terminale di ingresso  
EI); di conseguenza, il segnale al terminale di uscita CO  
è sempre deasserito. In questo caso, tuttavia, il segnale  
25 al terminale di uscita EO è asserito o deasserito (ad

ogni segnale di clock) in accordo con il segnale al terminale di ingresso EI.

In modo analogo, si assuma che il segnale al terminale di ingresso DI sia asserito ad un generico  
5 segnale di clock.

Se la corrispondente cella di memoria è stata programmata, il segnale al terminale di ingresso PI è asserito ed il segnale invertito PI è deasserito. In questo caso, il segnale al terminale di uscita DO rimane  
10 deasserito (indipendentemente dal segnale al terminale di ingresso DI). Il segnale al terminale di set del latch 330d è invece asserito. Dopo un ritardo definito dallo sfasamento del segnale di controllo PHa, il latch 330d è quindi settato. Ciò comporta il deasserimento del segnale  
15 al terminale di uscita CO. Dopo un ulteriore ritardo definito dallo sfasamento del segnale di controllo PHb, anche il latch 335d è settato. Da questo momento in poi, il segnale al terminale di set del latch 330d è sempre asserito (indipendentemente dal segnale al terminale di  
20 ingresso DI); di conseguenza, il latch 330d resta settato. Il segnale al terminale di uscita DO è invece asserito o deasserito in accordo con il segnale al terminale di ingresso DI.

Al contrario, se la corrispondente cella di memoria  
25 non è stata programmata il segnale al terminale

d'ingresso PI è deasserito ed il segnale invertito PI è asserito. I latch 330d e 335d rimangono quindi resettati (indipendentemente dal segnale al terminale d'ingresso DI); di conseguenza, il segnale al terminale di uscita CO non è influenzato dal segnale al terminale di ingresso DI. In questo caso, tuttavia, il segnale al terminale di uscita DO è asserito o deasserito (ad ogni segnale di clock) in accordo con il segnale al terminale di ingresso DI.

10 In altre parole, il segnale applicato al terminale di ingresso EI ed il segnale applicato al terminale di ingresso DI del blocco  $B_1$  sono gestiti come gettoni, o token, (i quali sono usati quando necessario o passati al blocco successivo in caso contrario).

15 Riferendosi nuovamente alla Figura 3a, all'inizio di un passo di programmazione i segnali ai terminali di uscita CO di tutti i blocchi  $B_1$  sono deasseriti. Appena la logica di controllo abilita il controllore ad anello 205, il segnale di abilitazione globale EN è asserito. Il  
20 segnale di abilitazione globale EN è fornito ai terminali di ingresso EI dei primi blocchi  $B_0$ - $B_7$  in tutti i canali. Per ciascun canale, se il primo blocco è associato con una cella di memoria da programmare (segnale al terminale di ingresso PI asserito) il segnale al terminale di  
25 uscita CO è asserito (così da abilitare il corrispondente



program load), mentre il segnale al terminale di uscita EO rimane deasserito. Al contrario (segnale al terminale di ingresso PI deasserito), il segnale al terminale di uscita EO è asserito (così da passare il segnale di  
5 abilitazione globale EN al corrispondente blocco successivo), mentre il segnale al terminale di uscita CO rimane deasserito. Le stesse operazioni descritte sopra sono eseguite fino a quando è raggiunto un blocco associato con una cella di memoria da programmare.

10 Al successivo segnale di clock, il convertitore A/D  
150 rileva nuovamente la tensione corrente della pompa di carica. Se il controllore ad anello 205 determina che la capacità residua della pompa di carica permette di alimentare un ulteriore sottoinsieme di program load ST<sub>j</sub>,  
15 il segnale di abilitazione globale EN è asserito. Per ciascun canale, il segnale di abilitazione globale EN attraversa tutti i blocchi che sono associati con una cella di memoria non da programmare o con un program load già abilitato (fino a quando è raggiunto un blocco  
20 associato con una cella di memoria ancora da programmare); quando il segnale di abilitazione globale EN attraversa l'intero canale, il segnale al corrispondente terminale di ingresso della porta AND 310 è asserito.

25 Al contrario, se il limite definito dalla capacità

**Ing. Ennio PEZZOLI**  
N. Iscriz. 528  
(in proprio e per gli altri)

della pompa di carica è stato raggiunto il segnale di abilitazione globale EN è deasserito; di conseguenza, nessun ulteriore sottoinsieme di program load  $ST_j$  è abilitato.

5        Le stesse operazioni descritte sopra sono continuamente ripetute ad ogni segnale di clock.

Nel frattempo, il segnale di abilitazione globale EN attraversa il registro a scorrimento 220. Il segnale di disabilitazione globale DIS è quindi asserito dopo il  
10        corrispondente ritardo dal (primo) asserimento del segnale di abilitazione globale EN. Il segnale di disabilitazione globale DIS è fornito ai terminali di ingresso DI dei primi blocchi  $B_0$ - $B_7$  in tutti i canali. Per ciascun canale, se il primo blocco è associato con un  
15        program load che è stato abilitato (segnale al terminale di ingresso PI asserito) il segnale al terminale di uscita CO è deasserito (così da disabilitare il corrispondente program load), mentre il segnale al terminale di uscita DO rimane deasserito. Al contrario,  
20        il segnale al terminale di uscita DO è asserito (così da passare il segnale di disabilitazione globale DIS al corrispondente blocco successivo), mentre il segnale al terminale di uscita CO rimane deasserito. Le stesse operazioni descritte sopra sono eseguite fino a quando è  
25        raggiunto un blocco associato con un program load

abilitato.

Analogamente, il segnale di disabilitazione globale DIS è nuovamente asserito dopo lo stesso ritardo dal successivo asserimento del segnale di abilitazione globale EN. Per ciascun canale, il segnale di disabilitazione globale DIS attraversa tutti i blocchi che sono associati con una cella di memoria non da programmare o con un program load già disabilitato (fino a quando è raggiunto un blocco associato con un program load ancora abilitato); quando il segnale di disabilitazione globale attraversa l'intero canale, il corrispondente segnale al terminale di ingresso della porta AND 315 è asserito.

Appena tutti i program load  $PL_i$  associati con le celle di memoria da programmare sono stati abilitati, il segnale di abilitazione globale EN attraversa tutti i canali; pertanto, il segnale STOP è asserito. In risposta a ciò, il controllore ad anello 205 è disabilitato. Dopo il ritardo definito dal registro a scorrimento 220 anche il segnale di disabilitazione globale DIS attraverserà tutti i canali. Di conseguenza, pure il segnale END è asserito.

Comunque, i concetti della presente invenzione sono applicabili anche quando i blocchi logici sono disposti in un altro modo, quando i blocchi logici hanno una

struttura diversa, o quando i latch sono sostituiti con mezzi equivalenti. Considerazioni analoghe si applicano se i segnali di controllo per i latch sono generati in un altro modo, se componenti diversi sono usati per  
5 segnalare il completamento del passo di programmazione, e simili.

Più in generale, la presente invenzione propone un circuito per programmare un dispositivo di memoria non-volatile (avente una pluralità di celle di memoria). Il  
10 circuito comprende una pluralità di elementi di pilotaggio, ciascuno dei quali è usato per applicare un impulso di programmazione ad una cella di memoria selezionata da programmare; gli elementi di pilotaggio sono adatti ad essere alimentati da un'unità di  
15 alimentazione. Mezzi di controllo sono previsti per controllare gli elementi di pilotaggio. Nel circuito dell'invenzione, i mezzi di controllo includono mezzi per determinare una capacità residua dell'unità di alimentazione; mezzi di selezione sono utilizzati per  
20 abilitare selettivamente gli elementi di pilotaggio in accordo con la capacità residua.

La soluzione dell'invenzione riduce fortemente il tempo richiesto per programmare le celle di memoria selezionate.



**Ing. Ennio PEZZOLI**  
N. iscriz. 528  
(in proprio e per gli altri)

L'architettura proposta si auto-adatta all'effettiva capacità dell'unità di alimentazione. In altre parole, la struttura concepita rende possibile sfruttare la capacità dell'unità di alimentazione che è disponibile ma non  
5 usata nei dispositivi di memoria noti nell'arte.

Pertanto, più celle di memoria possono essere programmate simultaneamente in ogni momento, senza mai eccedere la capacità dell'unità di alimentazione. Questa soluzione migliora fortemente la velocità del passo di  
10 programmazione senza richiedere un incremento della capacità dell'unità di alimentazione oppure una riduzione della corrente assorbita dalle celle di memoria.

La forma di realizzazione preferita dell'invenzione descritta sopra offre ulteriori vantaggi.

15 In particolare, i program load sono abilitati in successione durante un passo di programmazione; ciascun program load è disabilitato dopo un ritardo corrispondente all'impulso di programmazione. Il passo di programmazione è completato appena tutti i program load  
20 sono stati disabilitati.

In questo modo, il funzionamento dei program load è sfasato; pertanto, appena uno o più program load sono disabilitati, il carico della pompa di carica è ridotto permettendo di abilitare altri program load.

Vantaggiosamente, i program load sono raggruppati in sottoinsiemi che sono abilitati individualmente.

Questa struttura è molto semplice, ma allo stesso tempo efficace.

5        Comunque, la soluzione secondo la presente invenzione si presta ad essere implementata gestendo il completamento del passo di programmazione in un altro modo, abilitando quanti program load possibile solamente all'inizio del passo di programmazione (ad esempio, in  
10        accordo con la capacità residua della pompa di carica rilevata periodicamente), oppure anche abilitando i program load individualmente.

      In una forma di realizzazione particolare dell'invenzione, i sottoinsiemi di program load sono  
15        abilitati in successione.

      Questa struttura è molto semplice, anche se non è ottimale (in quanto non abilita il numero massimo di program load effettivamente supportato dalla capacità della pompa di carica).

20        Un modo per migliorare la struttura è di abilitare un numero predeterminato di sottoinsiemi all'inizio del passo di programmazione.

      La caratteristica proposta rende possibile risparmiare il tempo richiesto per raggiungere la  
25        capacità massima della pompa di carica.

**Ing. Ennio PEZZOLI**  
N. Iscriz. 528  
(in proprio e per gli altri)

Vantaggiosamente, ciascun sottoinsieme di program load è disabilitato dopo un ritardo predeterminato.

Questa caratteristica assicura il corretto funzionamento del circuito in modo molto semplice.

5        Alternativamente, i sottoinsiemi di program load sono abilitati con algoritmi diversi, solamente un singolo sottoinsieme è abilitato alla volta, oppure i program load sono disabilitati in altro modo.

10       In una diversa forma di realizzazione dell'invenzione, i program load da abilitare sono selezionati solamente fra quelli associati con le celle di memoria effettivamente da programmare.

In questo modo, la capacità della pompa di carica è usata al meglio.

15       Come ulteriore miglioramento, questo risultato è ottenuto per mezzo di una matrice di blocchi logici disposti in canali multipli; ciascun canale sfrutta il segnale di abilitazione globale come un token.

La realizzazione proposta è semplice e modulare.

20       Vantaggiosamente, la stessa struttura è usata anche per disabilitare i program load.

In questo modo, il corretto funzionamento del circuito è ottenuto con una struttura molto compatta.

25       Comunque, la soluzione della presente invenzione è anche adatta ad essere implementata selezionando i

**Ing. Ennio PEZZOLI****N. Iscriz. 528**

(in proprio e per gli altri)

program load da abilitare solamente in accordo con la capacità residua della pompa di carica, sfruttando una struttura diversa per gestire i program load, oppure anche disabilitando i program load in un altro modo.

5           Naturalmente alla soluzione sopra descritta un tecnico del ramo, allo scopo di soddisfare esigenze contingenti e specifiche, potrà apportare numerose modifiche e varianti, tutte peraltro contenute nell'ambito di protezione dell'invenzione, quale definito  
10 dalle seguenti rivendicazioni.

\* \* \* \* \*



RIVENDICAZIONI

1. Un circuito (115,145,150) per programmare un  
dispositivo di memoria non-volatile (100) avente una  
5 pluralità di celle di memoria (105), il circuito  
comprendendo una pluralità di elementi di pilotaggio  
(115) ciascuno per applicare un impulso di programmazione  
ad una cella di memoria selezionata da programmare, gli  
elementi di pilotaggio essendo adatti ad essere  
10 alimentati da un'unità di alimentazione (120,125), e  
mezzi di controllo (145,150) per controllare gli elementi  
di pilotaggio,

caratterizzato dal fatto che

i mezzi di controllo includono mezzi (150,205) per  
15 determinare una capacità residua dell'unità di  
alimentazione, e mezzi di selezione (145) per abilitare  
selettivamente gli elementi di pilotaggio in accordo con  
la capacità residua.

20 2. Il circuito (115,145,150) secondo la rivendicazione 1,  
in cui i mezzi di selezione (145) abilitano almeno un  
elemento di pilotaggio in successione durante un passo di  
programmazione delle celle di memoria selezionate, i  
mezzi di selezione ulteriormente comprendendo mezzi (220-

- 230) per disabilitare ciascun elemento di pilotaggio (115) dopo un ritardo predeterminato dall'abilitazione dell'elemento di pilotaggio, il ritardo corrispondendo alla durata dell'impulso di programmazione, ed in cui i mezzi di controllo ulteriormente comprendono mezzi (230) per segnalare un completamento del passo di programmazione quando tutti gli elementi di pilotaggio sono stati disabilitati.
3. Il circuito (115,145,150) secondo la rivendicazione 1 o 2, in cui gli elementi di pilotaggio (115) sono raggruppati in una pluralità di sottoinsiemi ciascuno consistente di un numero predeterminato di elementi di pilotaggio, i mezzi di selezione (145) comprendendo mezzi (205) per fornire un segnale di abilitazione quando l'unità di alimentazione (120,125) è in condizione di alimentare gli elementi di pilotaggio di un ulteriore sottoinsieme.
4. Il circuito (115,145,150) secondo la rivendicazione 3, in cui i mezzi di selezione (145) ulteriormente comprendono mezzi (210,215,235) che reagiscono al segnale di abilitazione per abilitare individualmente i sottoinsiemi in successione.

5. Il circuito (115,145,150) secondo la rivendicazione 3, in cui i mezzi di selezione (145) ulteriormente comprendono mezzi (210,215,235) che reagiscono ad un  
5 primo segnale di abilitazione all'inizio del passo di programmazione per abilitare una pluralità predeterminata di sottoinsiemi, e mezzi (210,215,235) che reagiscono a ciascun segnale di abilitazione successivo per abilitare individualmente i sottoinsiemi rimanenti in successione.

10

6. Il circuito (115,145,150) secondo la rivendicazione 4 o 5, in cui i mezzi di selezione (145) ulteriormente comprendono mezzi (220) per fornire un segnale di disabilitazione dopo il ritardo predeterminato dalla  
15 fornitura del segnale di abilitazione, mezzi (225,230,235) che reagiscono al segnale di disabilitazione per disabilitare il sottoinsieme abilitato dal corrispondente segnale di abilitazione, e mezzi (230) per fornire un segnale indicativo del  
20 completamento del passo di programmazione in risposta al segnale di disabilitazione corrispondente ad un ultimo dei sottoinsiemi.

7. Il circuito (115,145,150) secondo la rivendicazione 3,

**Ing. Ennio PEZZOLI**

N. Iscriz. 528

(in proprio e per gli altri)

in cui i mezzi di selezione (145) ulteriormente  
comprendono mezzi (305) che reagiscono al segnale di  
abilitazione per abilitare al massimo il numero  
predeterminato di elementi di pilotaggio (115)  
5 selezionati solamente fra gli elementi di pilotaggio  
associati con celle di memoria (105) da programmare.

8. Il circuito (115,145,150) secondo la rivendicazione 7,  
in cui i mezzi di selezione (145) includono un blocco  
10 logico (305) per ciascun elemento di pilotaggio (115), i  
blocchi logici essendo raggruppati in una pluralità di  
ulteriori sottoinsiemi corrispondenti ai sottoinsiemi  
degli elementi di pilotaggio, ciascun blocco logico  
comprendendo mezzi (330e,335e) per memorizzare  
15 un'indicazione del fatto che il corrispondente elemento  
di pilotaggio è stato abilitato, mezzi (360) per  
abilitare il corrispondente elemento di pilotaggio in  
risposta al segnale di abilitazione quando la cella di  
memoria corrispondente (105) deve essere programmata e il  
20 corrispondente elemento di pilotaggio non è stato  
abilitato, e mezzi (340e-355e) per trasmettere il segnale  
di abilitazione ad un corrispondente blocco logico di un  
successivo ulteriore sottoinsieme in caso contrario.



9. Il circuito (115,145,150) secondo la rivendicazione 8,  
in cui i mezzi di selezione (145) ulteriormente  
comprendono mezzi (220) per fornire un segnale di  
disabilitazione dopo il ritardo predeterminato dalla  
5 fornitura del segnale di abilitazione, ciascun blocco  
logico (305) ulteriormente comprendendo mezzi (330d,335d)  
per memorizzare un'indicazione del fatto che il  
corrispondente elemento di pilotaggio è stato  
disabilitato, mezzi (360) per disabilitare il  
10 corrispondente elemento di pilotaggio in risposta al  
segnale di disabilitazione quando la corrispondente  
cella di memoria deve essere programmata ed il  
corrispondente elemento di pilotaggio non è stato  
disabilitato, e mezzi (340d-355d) per trasmettere il  
15 segnale di disabilitazione al corrispondente blocco  
logico del successivo ulteriore sottoinsieme in caso  
contrario, ed in cui che i mezzi di selezione  
ulteriormente comprendono mezzi (315) per fornire un  
segnale indicativo del completamento del passo di  
20 programmazione in risposta al segnale di disabilitazione  
trasmesso da tutti i blocchi logici di un ultimo  
ulteriore sottoinsieme.

10. Un dispositivo di memoria non-volatile (100)

comprendente una pluralità di celle di memoria (105) ed il circuito (115,145,150) secondo una qualsiasi delle rivendicazioni da 1 a 9 per programmare le celle di memoria.

5

11. Un metodo di programmazione di un dispositivo di memoria non-volatile avente una pluralità di celle di memoria ed una pluralità di elementi di pilotaggio ciascuno per applicare un impulso di programmazione ad  
10 una cella di memoria selezionata da programmare, il metodo comprendendo i passi di:

alimentare gli elementi di pilotaggio da parte di un'unità di alimentazione,

determinare una capacità residua dell'unità di  
15 alimentazione, ed

abilitare selettivamente gli elementi di pilotaggio in accordo con la capacità residua.

**Ing. Ennio PEZZOLI**

N. Iscriz. 528

(in proprio e per gli altri)



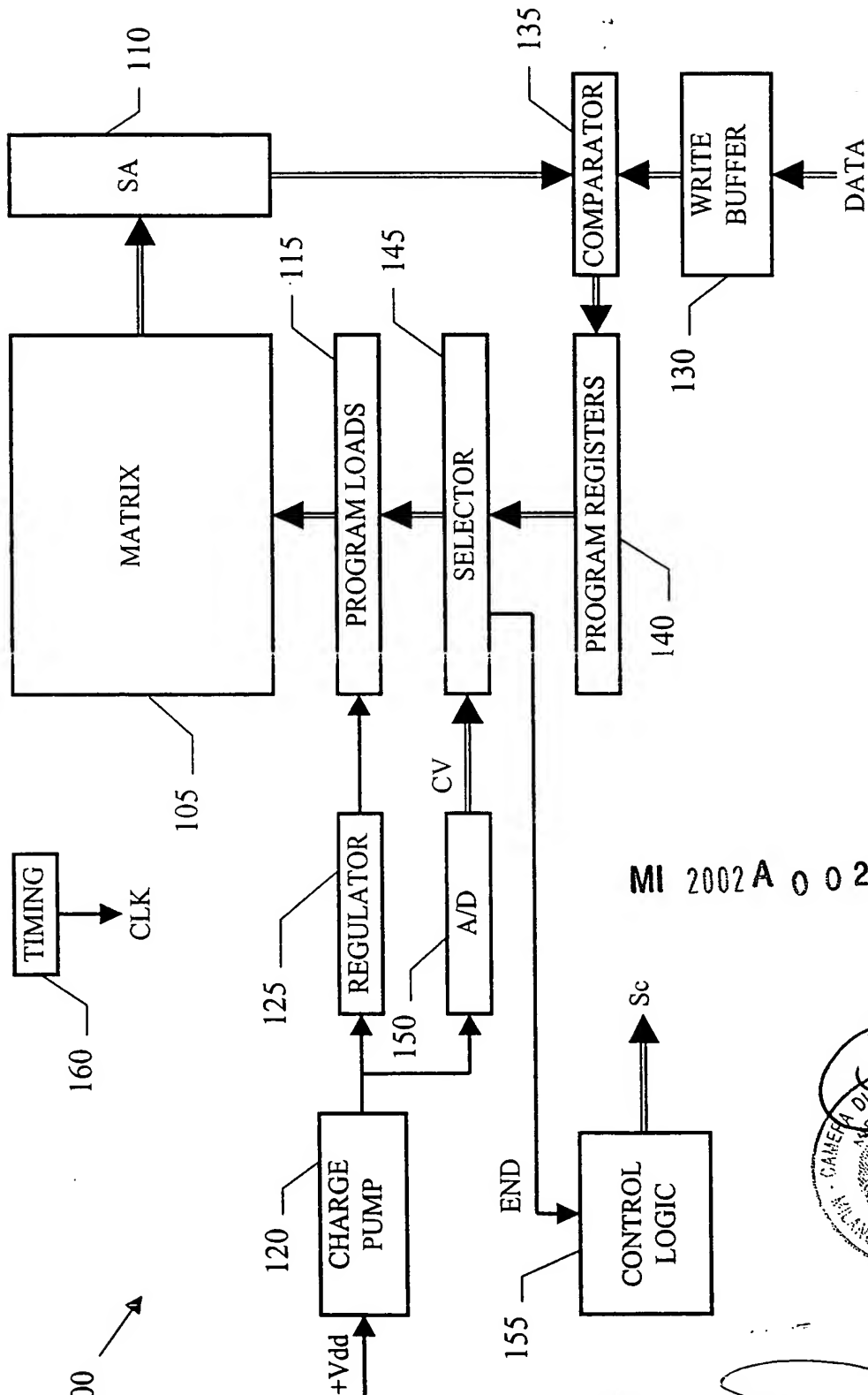


FIG.1

MI 2002A 0 0 2 3 8 7



**Ing. ENRICO PEZZOLI**  
 N. Iscriz. 528  
 (in proprio e per gli altri)

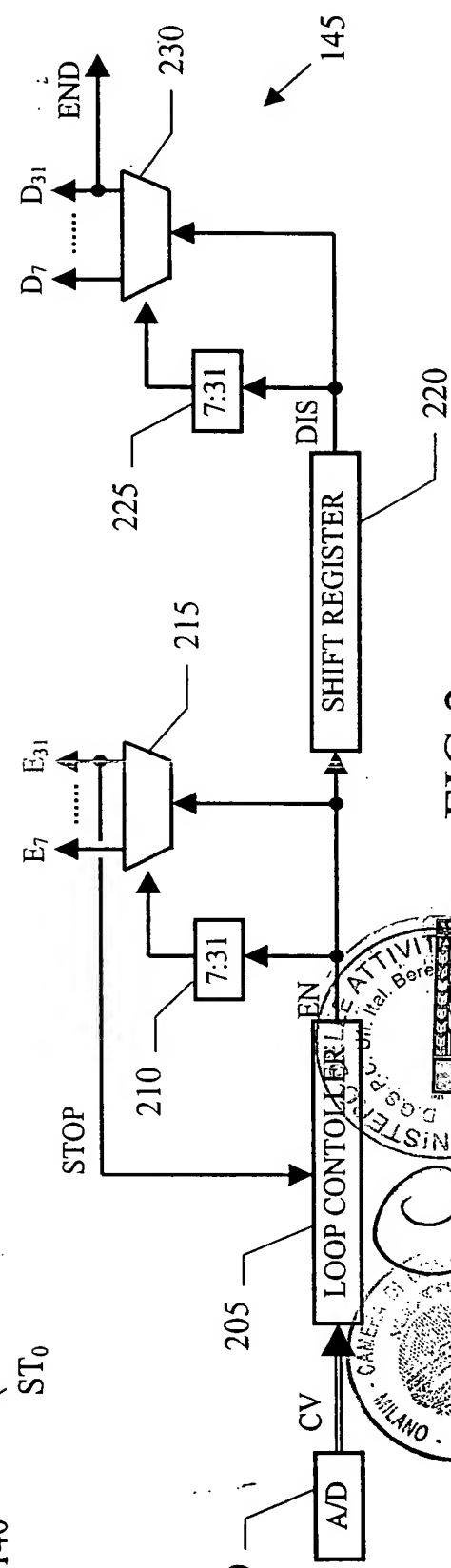
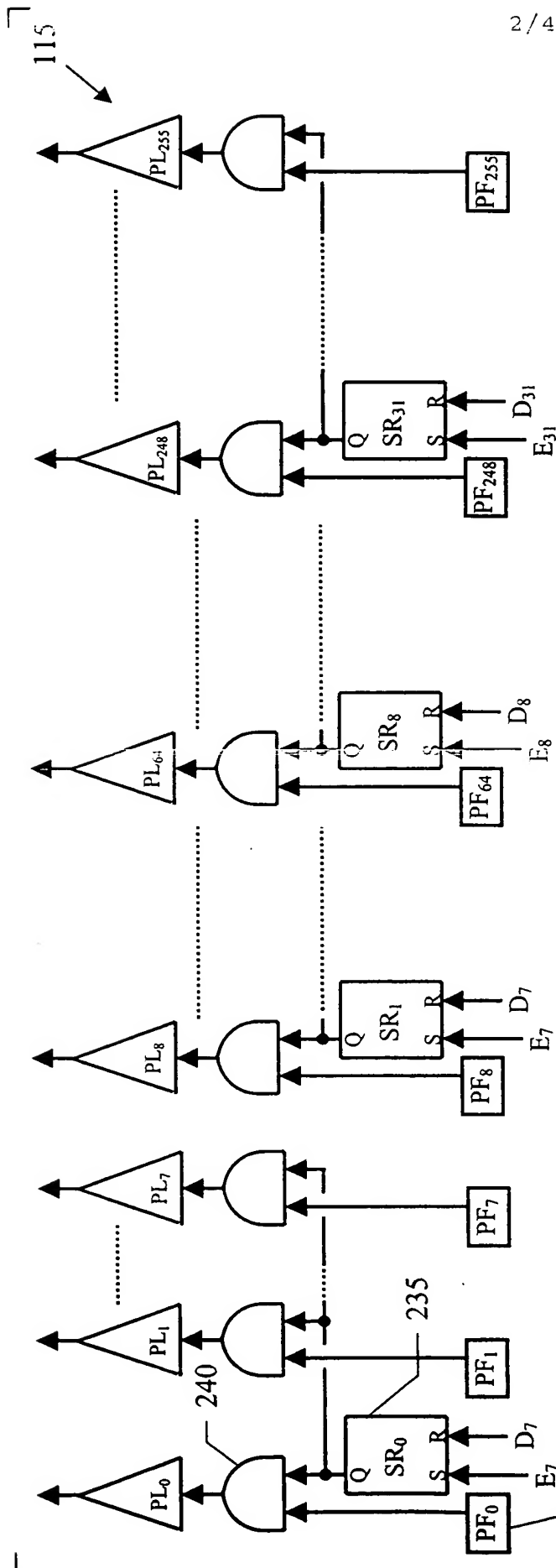
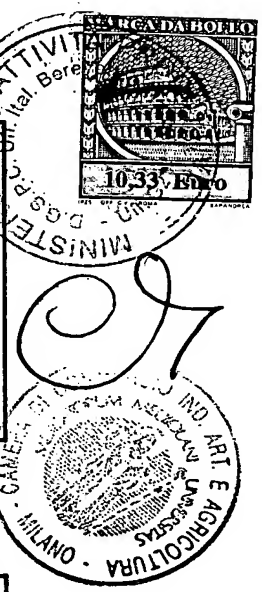


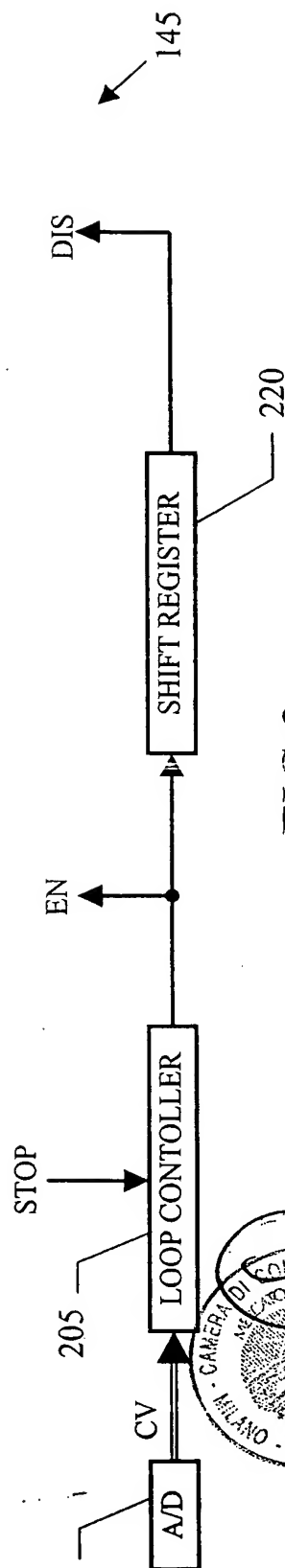
FIG. 2



Ing. Emilio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)



**Ing. Ennio PEZZOLI**  
N. Iscriz. 1528  
(in proprio e per gli altri)

MI 2002A 0 0 2 3 8 7

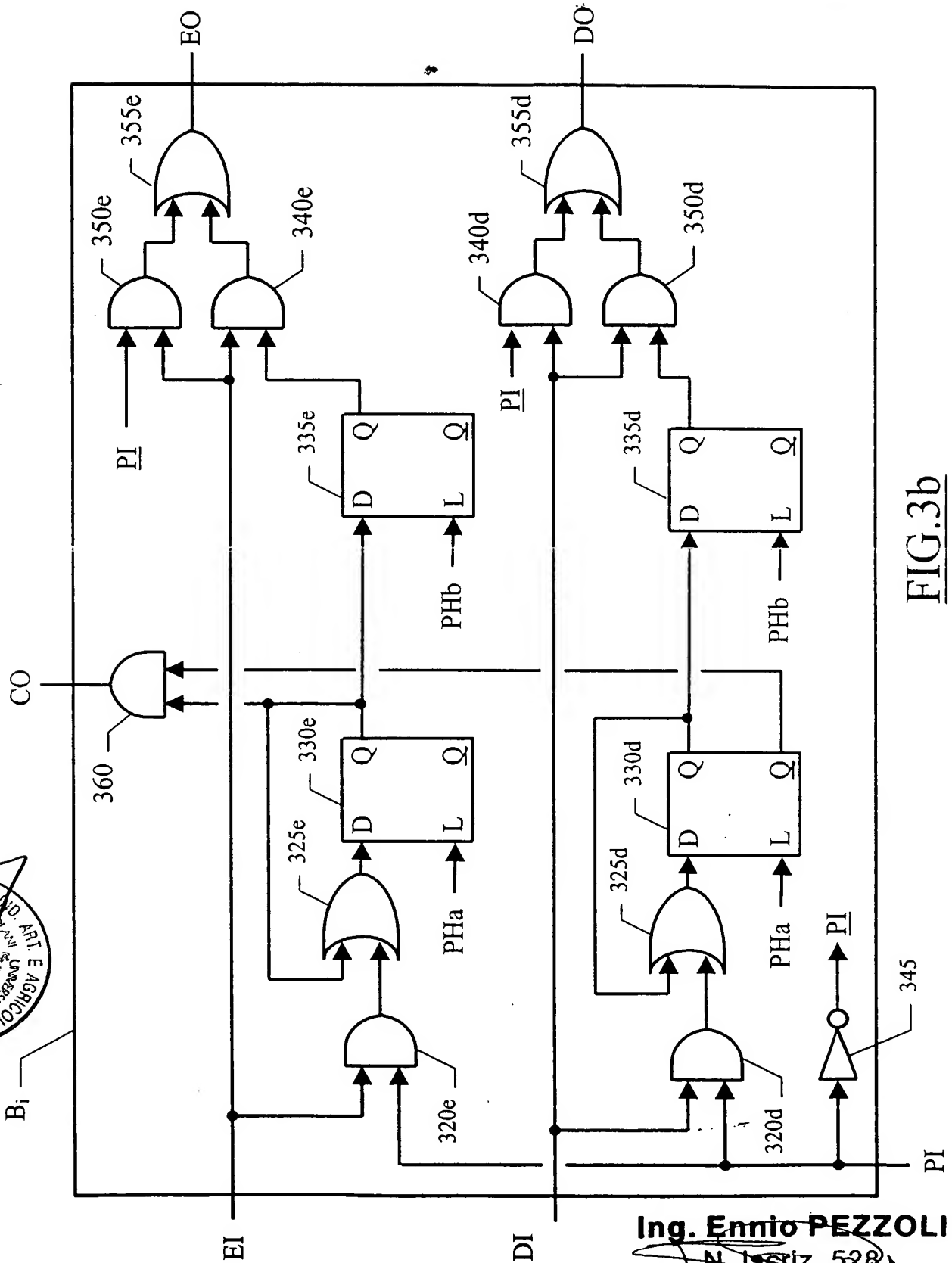


FIG. 3b

Ing. Ennio PEZZOLI

N. Iscriz. 528

(in proprio e per gli altri)

